

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-246487

(43)Date of publication of application : 30.08.2002

(51)Int.Cl.

H01L 21/8247
H01L 29/788
H01L 29/792
G11C 11/22
G11C 16/04
G11C 16/02
H01L 27/105

(21)Application number : 2001-040489

(71)Applicant : SHIBATA SUNAO
I & F KK

(22)Date of filing : 16.02.2001

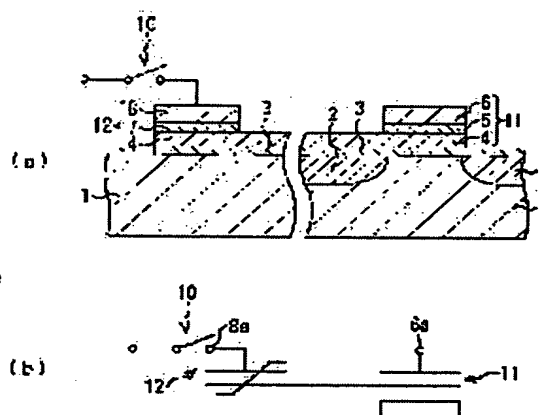
(72)Inventor : KOBAYASHI DAISUKE
SHIBATA SUNAO

(54) SEMICONDUCTOR DEVICE AND SEMICONDUCTOR OPERATION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an MF MISFET semiconductor device and a semiconductor operation device, which have sufficient functions as a memory element, enable execution of accurate difference (absolute) operation without causing change of polarization vector and are driven with small power consumption.

SOLUTION: In the MF MISFET, a switch 10 for turning connection between a control gate 8 and a signal line 9 'on/off' is disposed in the control gate 8. The control gate 8 becomes electrically floating, by turning the switch 10 'off', keeping the control gate 8 provided with a prescribed potential, and it is not thereafter affected by a voltage applied to the control gate 6 and the polarized state of a charge storage film 7 does not change.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A semiconductor device comprising:

Sauce/drain.

Said sauce/drain, and the 1st electrode that were provided via the 1st insulator layer and that is in floating electrically. The 2nd insulator layer that does not include a ferroelectric material provided on 1 part of said 1st electrode. The 2nd electrode provided so that it might counter with said a part of said said 1st electrode via said 2nd insulator layer, The 3rd insulator layer that has a film of at least one layer containing a ferroelectric material provided on other parts of said 1st electrode, A changeover switch which is connected with the 3rd provided electrode and said 3rd electrode so that it may counter with said other parts of said 1st electrode via said 3rd insulator layer, and turns on and off connection between the 3rd electrode concerned and a predetermined signal wire.

[Claim 2]The semiconductor device according to claim 1 characterized by making said changeover switch into an OFF state where predetermined potential is given to said 3rd electrode.

[Claim 3]The semiconductor device according to claim 2 characterized by giving further predetermined potential to said 2nd electrode after making said changeover switch into an OFF state.

[Claim 4]A semiconductor device given in any 1 paragraph of claims 1-3 characterized by giving predetermined potential to said 2nd electrode and said 3rd electrode, respectively while facing changing a polarization state in said 3rd insulator layer and making said changeover switch into an ON state.

[Claim 5]The semiconductor device according to claim 4, wherein said predetermined potential given to said 2nd electrode and said 3rd electrode makes one side earth potentials and makes another side positive potential.

[Claim 6]A semiconductor device given in any 1 paragraph of claims 1-5, wherein said 2nd insulator layer includes high dielectric material.

[Claim 7]A semiconductor device given in any 1 paragraph of claims 1-6, wherein said 2nd insulator layer has bigger specific inductive capacity than said 1st insulator layer.

[Claim 8]A semiconductor arithmetic unit constituted by arranging two or more semiconductor devices to matrix form, comprising:

Said semiconductor devices are sauce/drain.

Said sauce/drain, and the 1st electrode that were provided via the 1st insulator layer and that is in floating electrically. The 2nd insulator layer that does not include a ferroelectric material provided on 1 part of said 1st electrode. The 2nd electrode provided so that it might counter with said a part of said said 1st electrode via said 2nd insulator layer, The 3rd insulator layer that has a film of at least one layer containing a ferroelectric material provided on other parts of said 1st electrode, A changeover switch which is connected with the 3rd provided electrode and said 3rd electrode so that it may counter with said other parts of said 1st electrode via said 3rd insulator layer, and turns on and off connection between the 3rd electrode concerned and a predetermined signal wire.

[Claim 9]The semiconductor arithmetic unit according to claim 8 characterized by making said changeover switch into an OFF state where predetermined potential is given to said 3rd electrode.

[Claim 10]The semiconductor arithmetic unit according to claim 9 characterized by giving further predetermined potential to said 2nd electrode after making said changeover switch into an OFF state.

[Claim 11]A semiconductor arithmetic unit given in any 1 paragraph of claims 8-10 characterized by giving predetermined potential to said 2nd electrode and said 3rd electrode, respectively while facing changing a polarization state in said 3rd insulator layer and making said changeover switch into an ON state.

[Claim 12]The semiconductor arithmetic unit according to claim 11, wherein said predetermined potential given to said 2nd electrode and said 3rd electrode is positive potential about earth potentials and another side in one side.

[Claim 13]A semiconductor arithmetic unit given in any 1 paragraph of claims 8-12, wherein said 2nd insulator layer includes high dielectric material.

[Claim 14]A semiconductor arithmetic unit given in any 1 paragraph of claims 8-13, wherein said 2nd insulator layer has bigger specific inductive capacity than said 1st insulator layer.

[Claim 15]A semiconductor arithmetic unit given in any 1 paragraph of claims 8-14, wherein said signal wire is made common for every line.

[Claim 16]A semiconductor arithmetic unit given in any 1 paragraph of claims 8-15, wherein said signal wire is made common for every sequence.

[Claim 17]The semiconductor arithmetic unit according to claim 16 holding two or more vectors as a data constellation, and computing a difference value for every element between each vector corresponding to an input vector.

[Claim 18]The semiconductor arithmetic unit according to claim 17 carrying out multiple connection of said semiconductor device of a couple, and computing a difference absolute value for every element between each vector.

[Claim 19]The semiconductor arithmetic unit according to claim 17 or 18 sorting out a vector by which predetermined conditions are fulfilled from said data constellations based on said difference value.

[Claim 20]A semiconductor arithmetic unit given in any 1 paragraph of claims 17-19, wherein it corresponds to each vector from which each sequence constitutes said data constellation among said two or more semiconductor devices arranged at matrix form and each line corresponds to each element of said vector.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention arranges two or more what is called MFMISFET type semiconductor devices and these semiconductor devices, and relates to the semiconductor arithmetic unit which performs predetermined data processing.

[0002]

[Description of the Prior Art]Recently, it has what is called floating gate structure, Research of the ferroelectric memory (Metal-Ferroelectric-Metal-Insulator-Semiconductor FET (MFMISFET)) which used the ferroelectric material for the dielectric film is active. This MFMISFET is expected as semiconductor memory which the writing and elimination of information are possible, and can realize large reduction of power consumption without using high tension like EEPROM which used paraelectrics material for the dielectric film.

[0003]By the way, the semiconductor arithmetic unit which performs analog-to-digital fusion processing which chooses the data nearest to this and a predetermined relation, for example, the input data concerned, from templates, and outputs it with a device level is proposed by this invention persons to one input data which consists of two or more elements.

[0004]As one mode of this semiconductor arithmetic unit, the difference value for every element between each vector is computed corresponding to an input vector, and there are some which sort out the vector by which predetermined conditions are fulfilled, for example, a vector with the smallest sum (Manhattan distance) of a difference absolute value, from data constellations based on the difference value concerned.

[0005]In order to realize such a semiconductor arithmetic unit, two or more EEPROMs are arranged to matrix form, and each EEPROM constitutes a source follower in consideration of reading floating gate potential. Element T_i of the template vector T is memorized to i -th EEPROM, and, specifically, analog signal X_i which is in the EEPROM concerned succeedingly is impressed. At this time, the floating gate potential of the EEPROM concerned serves as a value (value which applied constant potential to the value concerned correctly) proportional to $(T_i - X_i)$, and difference calculation realizes it. Each EEPROM functions not as a mere storage cell but as a "processor" in this meaning.

[0006]

[Problem(s) to be Solved by the Invention]Since MFMISFET is a semiconductor device which can realize low power consumption as mentioned above, it is possible to replace this MFMISFET with EEPROM, to use it and to constitute the above-mentioned semiconductor arithmetic unit.

[0007]However, in order to only use MFMISFET as a storage cell, read-out potential is fixable to the suitable predetermined potential from which a polarization vector does not change, but. In order to perform difference calculation and to input analog signal X_i further where prescribed potential T_i is given to a floating gate as mentioned above, a polarization vector changes with these input X_i , and there is a problem that exact difference calculation cannot be performed.

[0008]Then, this invention is made in order to solve said technical problem, and it is a thing.

without it causes change of a polarization vector in addition to the purpose having sufficient function -- exact difference (absolutely) -- it making it possible to perform an operation and, It is providing the semiconductor arithmetic unit which arranges two or more MFMISFET type semiconductor devices driven with low power consumption, and these semiconductor devices, and performs analog-to-digital fusion processing with a device level.

[0009]

[Means for Solving the Problem]This invention persons thought out in many modes of an invention shown below

wholeheartedly as a result of examination.

[0010]This invention is characterized by a semiconductor device comprising the following.

Sauce/drain.

Said sauce/drain, and the 1st electrode that were provided via the 1st insulator layer and that is in floating electrically.

The 2nd insulator layer that does not include a ferroelectric material provided on 1 part of said 1st electrode.

The 2nd electrode provided so that it might counter with said a part of said said 1st electrode via said 2nd insulator layer,

The 3rd insulator layer that has a film of at least one layer containing a ferroelectric material provided on other parts of said 1st electrode, A changeover switch which is connected with the 3rd provided electrode and said 3rd electrode so that it may counter with said other parts of said 1st electrode via said 3rd insulator layer, and turns on and off connection between the 3rd electrode concerned and a predetermined signal wire.

[0011]In one mode of a semiconductor device of this invention, where predetermined potential is given to said 3rd electrode, said changeover switch is made into an OFF state.

[0012]In one mode of a semiconductor device of this invention, after making said changeover switch into an OFF state, further predetermined potential is given to said 2nd electrode.

[0013]In one mode of a semiconductor device of this invention, while facing changing a polarization state in said 3rd insulator layer and making said changeover switch into an ON state, predetermined potential is given to said 2nd electrode and said 3rd electrode, respectively.

[0014]In one mode of a semiconductor device of this invention, said predetermined potential given to said 2nd electrode and said 3rd electrode makes one side earth potentials, and makes another side positive potential.

[0015]In one mode of a semiconductor device of this invention, said 2nd insulator layer includes high dielectric material.

[0016]In one mode of a semiconductor device of this invention, said 2nd insulator layer has bigger specific inductive capacity than said 1st insulator layer.

[0017]A semiconductor arithmetic unit of this invention arranges two or more semiconductor devices to matrix form, and is constituted. The 1st electrode in which said semiconductor device was formed via sauce/drain, said sauce/drain, and the 1st insulator layer and that is in floating electrically, The 2nd insulator layer that does not include a ferroelectric material provided on 1 part of said 1st electrode, The 2nd electrode provided so that it might counter with said a part of said said 1st electrode via said 2nd insulator layer, The 3rd insulator layer that has a film of at least one layer containing a ferroelectric material provided on other parts of said 1st electrode, It is connected with the 3rd provided electrode and said 3rd electrode so that it may counter with said other parts of said 1st electrode via said 3rd insulator layer, and it has a changeover switch which turns on and off connection between the 3rd electrode concerned and a predetermined signal wire.

[0018]In one mode of a semiconductor arithmetic unit of this invention, where predetermined potential is given to said 3rd electrode, said changeover switch is made into an OFF state.

[0019]In one mode of a semiconductor arithmetic unit of this invention, after making said changeover switch into an OFF state, further predetermined potential is given to said 2nd electrode.

[0020]In one mode of a semiconductor arithmetic unit of this invention, while facing changing a polarization state in said 3rd insulator layer and making said changeover switch into an ON state, predetermined potential is given to said 2nd electrode and said 3rd electrode, respectively.

[0021]In one mode of a semiconductor arithmetic unit of this invention, said predetermined potential given to said 2nd electrode and said 3rd electrode is positive potential about earth potentials and another side in one side.

[0022]In one mode of a semiconductor arithmetic unit of this invention, said 2nd insulator layer includes high dielectric material.

[0023]In one mode of a semiconductor arithmetic unit of this invention, said 2nd insulator layer has bigger specific inductive capacity than said 1st insulator layer.

[0024]In one mode of a semiconductor arithmetic unit of this invention, said signal wire is made common for every line.

[0025]In one mode of a semiconductor arithmetic unit of this invention, said signal wire is made common for every sequence.

[0026]In one mode of a semiconductor arithmetic unit of this invention, two or more vectors are held as a data constellation, and a difference value for every element between each vector is computed corresponding to an input vector.

[0027]In one mode of a semiconductor arithmetic unit of this invention, multiple connection of said semiconductor device of a couple is carried out, and a difference absolute value for every element between each vector is computed.

[0028]In one mode of a semiconductor arithmetic unit of this invention, a vector by which predetermined conditions are fulfilled is sorted out from said data constellations based on said difference value.

[0029]In one mode of a semiconductor arithmetic unit of this invention, each sequence is equivalent to each vector which constitutes said data constellation among said two or more semiconductor devices arranged at matrix form, and each line corresponds to each element of said vector.

[0030]

[Embodiment of the Invention]Hereafter, many suitable embodiments which applied this invention are described in detail, referring to drawings.

[0031](A 1st embodiment) According to this embodiment, it indicates about a MF MISFET type semiconductor device.

Drawing 1 is a mimetic diagram showing the main composition of MF MISFET of this embodiment, (a) is an important section outline sectional view of MF MISFET, and (b) is a circuit diagram of MF MISFET.

[0032]this MF MISFET – the element region of the silicon semiconductor substrate 1 – the impurity (Lynn which is a n type impurity if the substrate 1 is a p type.) of the substrate 1 and opposite conductivity type in techniques, such as an ion implantation It is arsenic etc., if a substrate is a n type, it will have the sauce / drain 2 with which it comes to introduce boron etc. which are p type impurities, and the laminated structure which has a function of a capacitor and a voltage impressing electrode on the substrate 1 is allotted and constituted.

[0033]The floating gate electrode 4 of the island shape which comes to carry out pattern formation of said laminated structure on the channel constituted by the sauce / drain 2 of the substrate 1 via the gate dielectric film 3, and is in floating electrically, The 1st charge storage film 5 that consists of dielectric materials which do not include a ferroelectric material on the 1 part of the floating gate electrode 4, The 1st control gate electrode 6 it turns the pattern formation of said some of floating gate electrodes 4 via the 1st charge storage film 5 up, and carries out capacitive coupling to the floating gate electrode 4, The 2nd charge storage film 7 that consists of a ferroelectric material which it comes to form on the other parts of the floating gate electrode 4, Pattern formation is carried out via the 2nd charge storage film 7 on said other parts of the floating gate electrode 4, and it has the 2nd control gate electrode 8 that carries out capacitive coupling to the floating gate electrode 4, and is constituted. Thus, the 1st control gate electrode 6 to the floating gate electrode 4 (one part), the 1st charge storage film 5, and the capacitor 11, The capacitor 12 comprises the floating gate electrode 4 (other parts), the 2nd charge storage film 7, and the 2nd control gate electrode 8, respectively.

[0034]Here, in consideration of impressing voltage effective in the 2nd charge storage film 7 that is a ferroelectric, it is necessary to enlarge electric capacity of the capacitor 11 to some extent compared with it of the capacitor 12 at the time of the writing (elimination) of information. Concretely, since the specific inductive capacity of a ferroelectric is 500 to about 1000, capacitor area will become large if the 1st charge storage film 5 of the capacitor 11 is formed by SiO₂ etc. Then, it is preferred to form the 1st charge storage film 5 from the high dielectric material whose specific inductive capacity is higher than insulating materials, such as SiO₂.

[0035]In this MF MISFET, the changeover switch 10 which turns on and off connection between the 2nd control gate electrode 8 concerned and the signal wire 9 in the 2nd control gate electrode 8 is arranged. Where predetermined potential is given to the 2nd control gate electrode 8, by making the changeover switch 10 into an OFF state, The control gate electrode 8 (input terminal 8a) will be in floating electrically, and the polarization state of the 2nd charge storage film 7 does not change, without being influenced by the voltage impressed to the 1st control gate electrode 6 (input terminal 6a) after that.

[0036]In order to change the polarization state of the 2nd charge storage film 7, the changeover switch 10 is made into an ON state, V₁ is impressed to the input terminal 6a, and V₂ is impressed to the input terminal 8a. If it takes performing writing and elimination into consideration, to the polarization state of the 2nd charge storage film 7, both a "increase" and "reduction" are possible, one side is corresponded to writing and it should just make another side correspond to elimination. If one side of V₁ and V₂ is made into positive potential and another side is made into earth potentials, specifically, it is realizable. Thus, according to this embodiment, writing and elimination can be performed very easily, without generating negative voltage like the conventional MF MISFET for writing and elimination, or using the special art like SOI.

[0037]Here, for example like drawing 2, although the charge storage film 7 was used as much more film in the example of the graphic display, the usual state ferroelectrics films 22 and 23 may be laminated, and the 2nd charge storage film 7 may be constituted so that this may be inserted with the ferroelectrics film 21 of one layer.

[0038]In the light of a various situation, one part of the floating gate electrode 4, It is suitable even if it forms two or more capacitors 11, and the other parts of the floating gate electrode 4, the charge storage films 7 and the capacitors 12 that consist of the 2nd control gate electrode 8 from the 1st charge storage film 5 and the 1st control gate electrode 6.

[0039]MF MISFET of this embodiment is mainly used as a difference calculation element. Hereafter, the moving function as a difference calculation element is explained. If it gives an outline, the polarization state of the 2nd charge storage film 7 will be changed by impressing predetermined voltage by making the changeover switch 10 into an ON state. In that case, a polarization state is changed so that it may become a fixed value with floating gate potential, when the prescribed voltage V is impressed to the input terminal 6a of the 1st control gate electrode 6 by making the changeover switch 10 into an OFF state. Then, if input V_X which is a predetermined analog signal is impressed by making the changeover switch 10 into an OFF state, the floating gate potential of the MF MISFET concerned will serve as a value (value which applied constant potential to the value concerned correctly) proportional to $(V-V_X)$, and difference calculation will realize it. At this time, the polarization state of the 2nd charge storage film 7 of the 2nd control gate electrode 8 (input terminal 8a) is eternal, without receiving the influence by impression of analog signal V_X , since it is floating electrically.

[0040]When impressing V and V_X , fixed bias may be impressed with these. This bias is negated at the time of said difference calculation, and does not influence an output.

[0041]Specifically, MF MISFET of this embodiment is constituted as following difference calculation elements. What is called a V_{ref} method is adopted as adjustment of the charge quantity accumulated in the floating gate electrode 4 in this example. The memory voltage V corresponding to a value to remember to be this V_{ref} method. When V_{mem} is impressed to the input terminal 6a and read, it is the technique of adjusting the polarization state of the 2nd charge storage film 7 so that it may become suitable potential V_{ref} with floating gate potential ϕ_{FG} .

[0042]For read-out of memory information, as shown in drawing 3, this MF MISFET connects the load circuit 24 to source or a drain, and constitutes the source follower which grounds the end of the load circuit 24. However, the example of a graphic display shows the thing of n type MOS transistor composition.

[0043]In this MF MISFET that wrote in memory voltage V_{mem} , if new input voltage V_X is impressed to the input terminal 6a, floating gate potential ϕ_{FG} will serve as $\phi_{FG} = \gamma + V_{ref}$ by making γ into a proportionality constant.

Therefore, the difference of memory voltage and input voltage appears as floating gate potential. This floating gate potential can be read as drain source current, if it is set as the environment where the MOS transistor operates as a saturation region, for example.

[0044]By the way, in this MF MISFET, since read-out will become impossible if set to $V_X - V_{mem} < 0$, composition as shown in drawing 4 in consideration of avoiding this is adopted. Namely, at the time of writing, as shown in drawing 4 (a), $(V_{DD} - V_{mem})$ is impressed to the input terminal 6a, and the polarization state of the 2nd charge storage film 7 is changed so that it may become $\phi_{FG} = V_{ref}$.

[0045]On the other hand, at the time of read-out, as shown in drawing 4 (b), $(V_{DD} - V_X)$ is impressed to the input terminal 6a.

[0046]Even in this case, in addition, when impressing $(V_{DD} - V_{mem})$ and $(V_{DD} - V_X)$, fixed bias may be impressed with these. This bias is negated at the time of said difference calculation, and does not influence an output.

[0047]As shown in drawing 5, two above MF MISFET(s) are combined and the arithmetic circuit of a difference absolute value consists of these examples. This difference absolute value arithmetic circuit connects two MF MISFET(s) in parallel, like ****, for read-out of memory information, connects the load circuit 24 to source or a drain, and constitutes the source follower which grounds the end of the load circuit 24.

[0048]In order to perform a difference absolute value operation, first, V_{mem} is memorized to one MF MISFET31 and $(V_{DD} - V_{mem})$ is memorized to MF MISFET32 of another side. And by impressing V_X to MF MISFET31 and impressing $(V_{DD} - V_X)$ to MF MISFET32 output voltage V_{out} , γ is made into a proportionality constant and it becomes $V_{out} = \gamma |V_X - V_{mem}| + V_{ref} - V_T$ by making V_T into threshold voltage, and if it sees substantially, difference absolute value $|V_X - V_{mem}|$ can be obtained.

[0049]As mentioned above, although illustrated about the embodiment using MF MISFET of this invention as a difference calculation element, this MF MISFET can also be used as a usual storage cell. Even in this case, it is not necessary to read like before and to fix potential to the suitable predetermined potential from which a polarization vector does not change.

[0050]By this invention, restrictions of the read-out potential which the conventional MF MISFET has are lost, and the same operation as EEPROM can be performed at the time of read operation. Therefore, it is very effective in using for threshold adjustment of a MOS transistor. for example, it becomes possible to have boiled the performance of an operational amplifier markedly by using for the trimming of an operational amplifier for which symmetry is needed.

[0051]If a neurone MOS inverter is constituted with the application of this invention as shown in drawing 6, a NAND circuit and a NOR circuit can be carved according to the polarization state of a ferroelectrics film like drawing 7. In this neurone MOS inverter, since the input of the ferroelectrics film is floating, it has the advantage that the gain of a floating gate improves conventionally. It also has the advantage that it can write in with low power consumption in the case of which, and can write in it at still high speed rather than EEPROM.

[0052]Therefore, application to a very wide range of applicable fields – the high logic circuit system of the flexibility arbitrarily changed in a logic function can be easily constituted from real time – is expectable.

[0053]as explained above, without it causes change of a polarization vector in addition to having function sufficient as a storage cell according to this embodiment – exact difference (absolutely) – it makes it possible to perform an operation and MFMSFET driven with low power consumption is realized.

[0054](A 2nd embodiment) According to this embodiment, the semiconductor arithmetic unit which arranges two or more MFMSFET(s) indicated by a 1st embodiment to matrix form is indicated. This semiconductor arithmetic unit computes the difference value for every element between each vector corresponding to an input vector, and has the function to sort out the vector by which predetermined conditions are fulfilled, and the vector in which the sum (Manhattan distance) of a difference absolute value is the smallest here from data constellations, based on the difference value concerned.

[0055]Drawing 8 is a representative circuit schematic showing the main composition of the semiconductor arithmetic unit of this embodiment. This semiconductor arithmetic unit makes MFMSFET31 of the couple shown in drawing 5, and the thing by which the capacitor 33 was connected to 32 one constitutional unit, arranges two or more constitutional units concerned to matrix form as common in the input terminal for every line, and the weighting network 34 is connected to the matrix concerned, and it is constituted.

[0056]A template vector which is different for every sequence here [0057]

[Equation 1]

$$\Pi = \begin{pmatrix} T_1 \\ T_2 \\ \vdots \\ T_n \end{pmatrix}$$

$$U = \begin{pmatrix} U_1 \\ U_2 \\ \vdots \\ U_n \end{pmatrix}$$

[0058]It is alike and corresponding memory voltage is memorized. If T_i is memorized to MFMSFET31 of the couple in one row of i lines, and 32, V_i is inputted and output voltage is made into a_{outi} here paying attention to the 1st row, [0059]

[Equation 2]

$$a_{outi} = \gamma |V_i - T_i| + V_{ref}$$

[0060]It is inputting next doors and such output voltage into a predetermined adding machine, [0061]

[Equation 3]

$$a_{out1} + a_{out2} + \dots$$

$$\propto |V_1 - T_1| + |V_2 - T_2| + \dots$$

$$= \sum_i |V_i - T_i|$$

[0062]*****. Here, $\{V_i\}$ constitutes an input vector.

[0063]Thus, MFMSFET of each couple serves as a circuit which outputs a difference absolute value between each element (element) of an input vector and a template vector, and said each sequence serves as a circuit which outputs a Manhattan distance of an input vector and a template vector.

[0064]One example of said adding machine is shown in drawing 9. This adding machine has capacitor C_1 which makes a lower electrode common, makes each upper electrode counter to this lower electrode, and becomes, therefore comes to carry out multiple connection respectively, C_2, \dots, C_n , and capacitor C_0 that comes to carry out a series connection to these, and is constituted. If it is considered as MOS transistor structure which uses said lower electrode as a floating gate electrode, the function will serve as what is called neuron MOS transistors similar to a mathematical model of neurone.

[0065]Noting that the electric charge Q was accumulated beforehand here as for potential V_{tot} of said lower electrode,

[0066]

[Equation 4]

$$V_{\text{tot}} = \frac{1}{\sum_i C_i} (Q + C_1 V_{\text{out}1} + C_2 V_{\text{out}2} + \dots)$$

[0067]It becomes. In this case, a load element for constituting a source follower is made into capacitor C_1, C_2, \dots, C_n , and it is $C_1 = C_2 = \dots = C_n = C$ (electric capacity of the capacitor 33)

It carries out. C_1, C_2, \dots, C_n are made into a different value, and it may be made to compute here a Manhattan distance which carried out weighting for every element.

[0068]And output $V_{\text{out}1}$ from each sequence, $V_{\text{out}2} \dots$ [0069]

[Equation 5]

$$\begin{aligned} V_{\text{out}1} &\propto \sum_i |V_i - T_i| \\ V_{\text{out}2} &\propto \sum_i |V_i - U_i| \\ &\vdots \end{aligned}$$

[0070]It inputs into a next door and the weighting network 34 in which these outputs are what is called winner-take-all (WTA) circuits, and the vector by which predetermined conditions are fulfilled, and the vector in which a Manhattan distance is the smallest here are sorted out from data constellations.

[0071]As explained above, according to this embodiment, it adds to having function sufficient as a storage cell, without it causes change of a polarization vector – exact difference (absolute value) – it making it possible to perform an operation and, A difference absolute value arithmetic unit is constituted using MFMISFET indicated by a 1st embodiment driven with low power consumption, and it becomes possible to meet the huge and ambiguous demand in the real world as much as possible as execution being possible with a device level in analog-to-digital fusion processing.

[0072](A 3rd embodiment) According to this embodiment, a semiconductor memory device which arranges two or more MFMISFET(s) indicated by a 1st embodiment to matrix form is indicated.

[0073]Drawing 10 is a representative circuit schematic showing main composition of a semiconductor memory device of this embodiment. This semiconductor memory device is what arranges two or more MFMISFET(s) shown in drawing 1 to matrix form, A source line and a drain wire of a line writing direction are made common, the sense amplifier 41 is connected for every line, and the switch 42 which consists of a MOS transistor which chooses connection with the sense amplifier 41 is connected to each MFMISFET. The switch 42 is connected with a signal wire (word line) common to a column direction. It is good also as composition which makes common a source line and a drain wire of a column direction, and connects the sense amplifier 41 for every sequence.

[0074]Thus, writing/read-out of line parallel are possible by preparing the sense amplifier 41 for every line, From direction of an electric field impressed to the 2nd charge storage film 7 by to any voltage shall be impressed between a program line and an analog line being changeable, erasing operation is not necessarily needed.

[0075]How using a semiconductor memory device of this example to write in information is explained with reference to a read-out flow shown in drawing 11. Here, it illustrates about a case where V0 and V1 are written in one-line one row, and two-line MFMISFET of one row (referred to as M0 and M1) of drawing 10.

[0076]First, Word(word)0 is made into "Write/Read (read/write) 0"0 after using 1", considering the switch 42 as one and connecting M0 and M1 to the sense amplifier 41, respectively", and the switch 42 is set to OFF. Other Write/Read is set to "0" at this time.

[0077]Each following step is parallel performed for every line. About one line, impress V0 to Analog(analog)0, impress V1 to Analog1 about two lines, respectively, and floating gate potential ϕ_{FG} The reference voltage V. If not equal to V_{ref} , about one line, make Write/Read0 into "1", and the changeover switch 10 is considered as one, Write/Read0 is made into "1" about two lines, by considering the changeover switch 10 as one, an input of Table A is impressed to one line, and an input of Table B is impressed to two lines, respectively. Here, a step which sets each Write/Read to "1" synchronizes.

[0078]Then, Write/Read0 is made into "0", the changeover switch 10 is made off, Write/Read0 is made into "0" about two lines, the changeover switch 10 is made off, in one line, V0 is impressed to Analog0, and V1 is impressed to Analog1 in two lines.

[0079]When floating gate potential ϕ_{FG} is equal to reference voltage V_{ref} , About one line, Program (program)0 and

Analog0 are made into earth potentials, and writing of M0 and M1 is ended by making Program1 and Analog1 into earth potentials about two lines.

[0080]Writing operation will be ended if it is able to write in all the memory cells through the above step.

[0081]Here, in new writing, the changeover switch 10 will not happen, if both an Analog line and a Program line are made into earth potentials also by an ON state.

[0082]Next, a read method of information using a semiconductor memory device of this example is explained. First, all the Write/Read lines are set to "0", a Word line corresponding to a memory cell which is a read-out object is set to "1", and it connects with the sense amplifier 41.

[0083]Then, ramp voltage is impressed to an Analog line and a value in case an output of the sense amplifier 41 is reversed is obtained by sample hold etc. This value is a written-in value.

[0084]Concretely, when reading using ramp voltage, if it is alike and ramp voltage is impressed as shown in drawing 12, it will become V_{mem} which ramp voltage when it was followed, and floating gate potential ϕ_{FG} also went up, then ϕ_{FG} became reference voltage V_{ref} made memorize.

[0085]Here, if a signal is added to an Analog line in a way of binary search not using ramp voltage, read-out will become possible in bit accuracy of the number of times which added the signal. Concretely, when it thinks, for example in accuracy of a triplet, as shown in drawing 13, it judges by "100" ($=1/2V_{DD}$) first. Since it is $\phi_{FG} < V_{ref}$ at this time, the next judgment is performed by "110" ($=3/4V_{DD}$). Since it is $\phi_{FG} > V_{ref}$ shortly, "101" ($=5/8V_{DD}$) becomes the value read in accuracy of a triplet.

[0086]In a semiconductor memory device of drawing 10, if it is made to perform erasing operation in advance of writing, a Program line can be made into earth potentials at the time of writing.

[0087]A Source (sauce) line of a memory cell can be made into earth potentials by having composition which formed the transistor 43 which becomes the switch 42 which chooses a Word line, and a pair about the sense amplifier 41 as shown in drawing 14. Thereby, as shown in drawing 15, composition which makes a Program line and a Source line common for every line is attained. As shown in drawing 16, a Source line of two lines can also be made common.

[0088]An erasing method of information in a semiconductor memory device of composition of being shown in drawing 15 or drawing 16 is explained. First, all of an Analog line and a Word line are made into earth potentials, a Write/Read line equivalent to a memory cell used as an erasing object is set to "1", and the changeover switch 10 is considered as one. Here, if two or more Write/Read lines are set to "1", information on two or more memory cells which make a Source line common will be eliminated.

[0089]And $V_{erase} (>0)$ is impressed to a Source line equivalent to a memory cell used as an erasing object. Let other Source lines be earth potentials at this time. Here, if $V_{erase} (>0)$ is impressed to two or more Source lines, information on two or more memory cells which make a Write/Read line common will be eliminated.

[0090]as mentioned above, selection of a Write/Read line and a Source line – information on two or more memory cells is eliminable in two dimensions by how. It is also possible to carry out collective erasure of the information on all the memory cells in a line writing direction and a column direction.

[0091]As explained above, according to this embodiment, a simple and positive thing for which it writes in (elimination) and low power consumption performs - read operation becomes possible with constituting a semiconductor memory device using MFMSFET.

[0092]In a semiconductor memory device of this embodiment, for example, a semiconductor memory device shown in drawing 16. By connecting the capacitor 51 and the switch 52 like a graphic display like drawing 17 to MFMSFET (MFMSFET of a couple in sequence same in a line which adjoins here) of an adjoining couple, A circuit equivalent to a difference absolute value arithmetic unit of drawing 1 in a 1st embodiment is realized easily.

[0093]

[Effect of the Invention]without it causes change of a polarization vector in addition to having function sufficient as a storage cell according to this invention – exact difference (absolutely) – it making it possible to perform an operation and, Two or more MFMSFET type semiconductor devices driven with low power consumption and these semiconductor devices can be arranged, and the semiconductor arithmetic unit which performs analog-to-digital fusion processing with a device level can be realized.

[Translation done.]

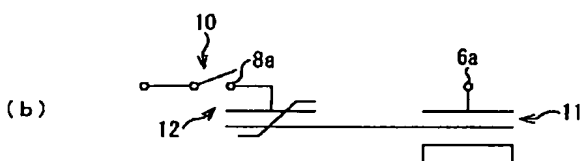
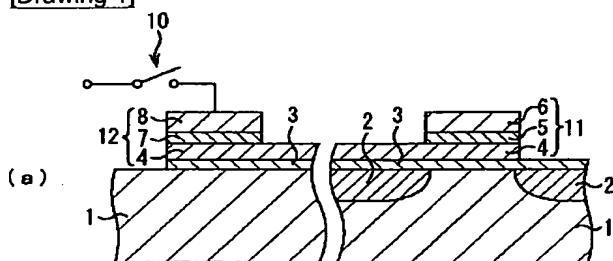
* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

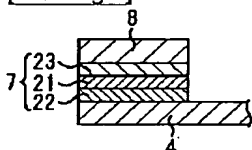
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

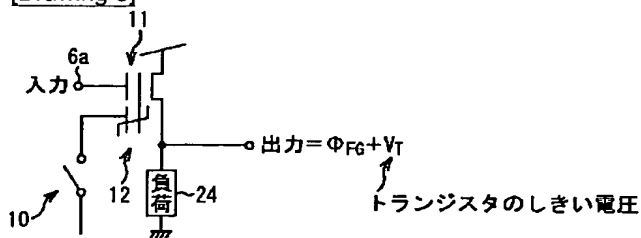
[Drawing 1]



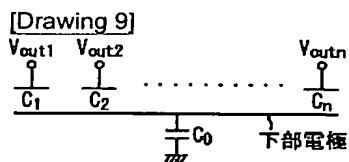
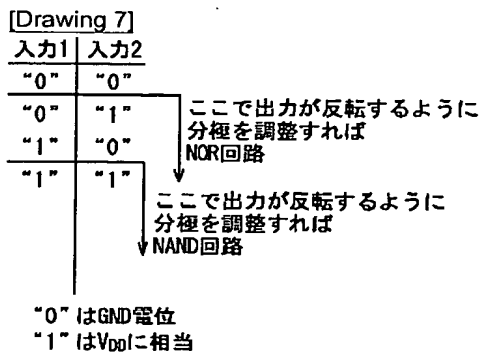
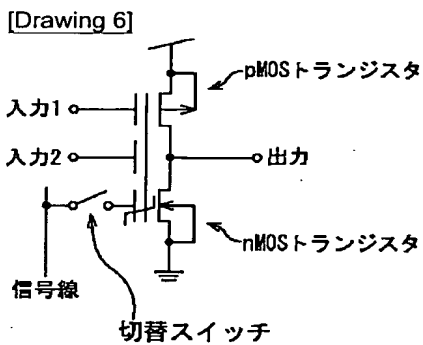
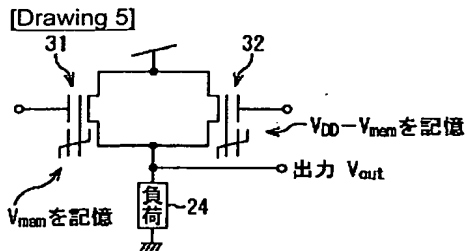
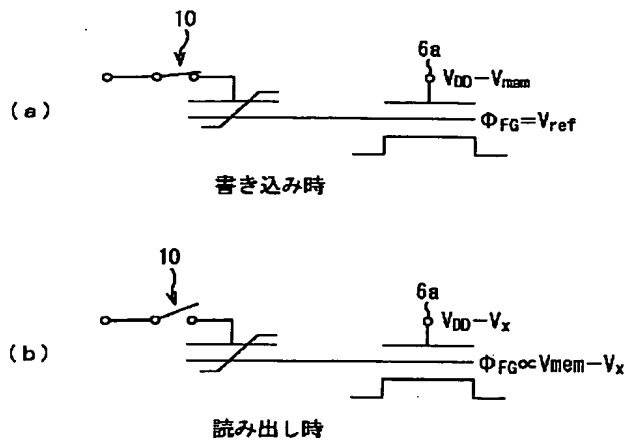
[Drawing 2]



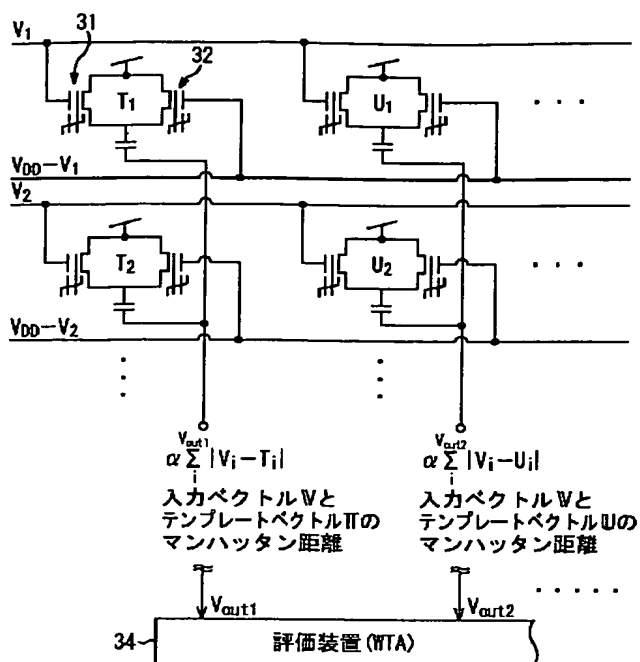
[Drawing 3]



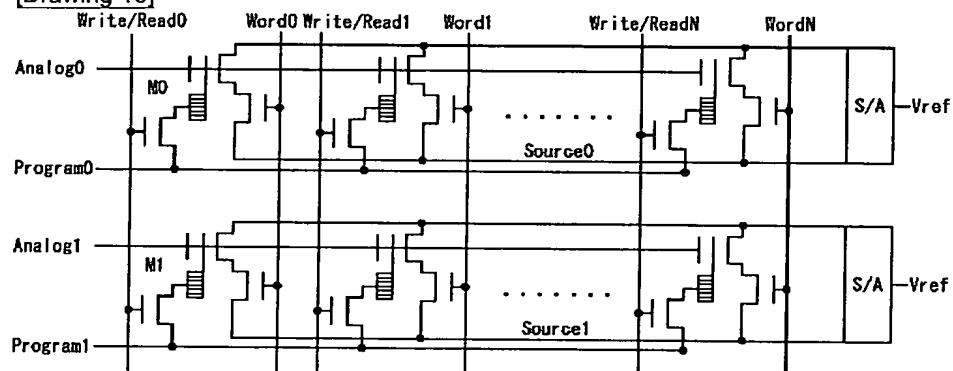
[Drawing 4]



[Drawing 8]

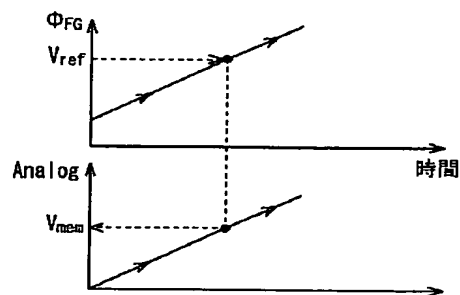


[Drawing 10]



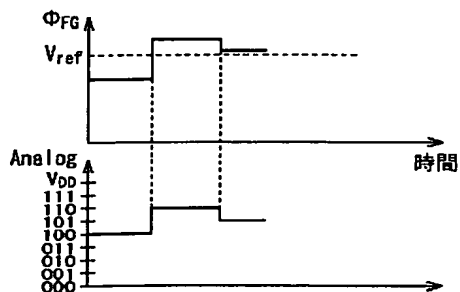
[Drawing 12]

ランプ電圧で読み出すとき

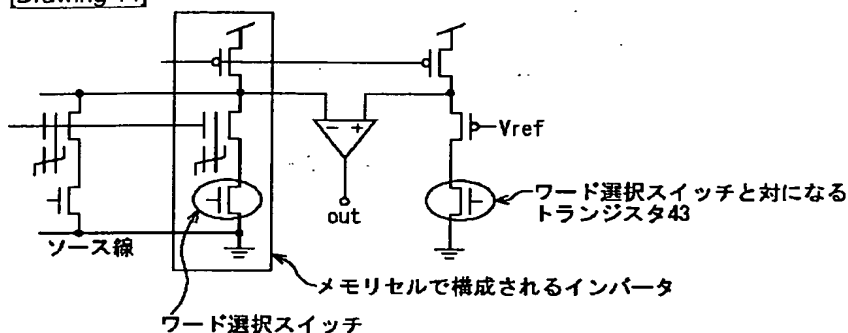


[Drawing 13]

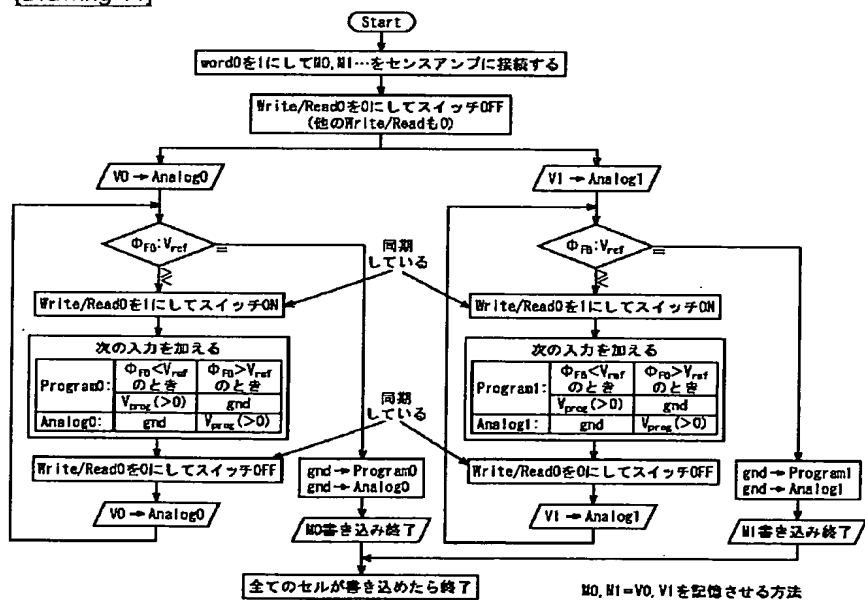
バイナリサーチで読み出すとき



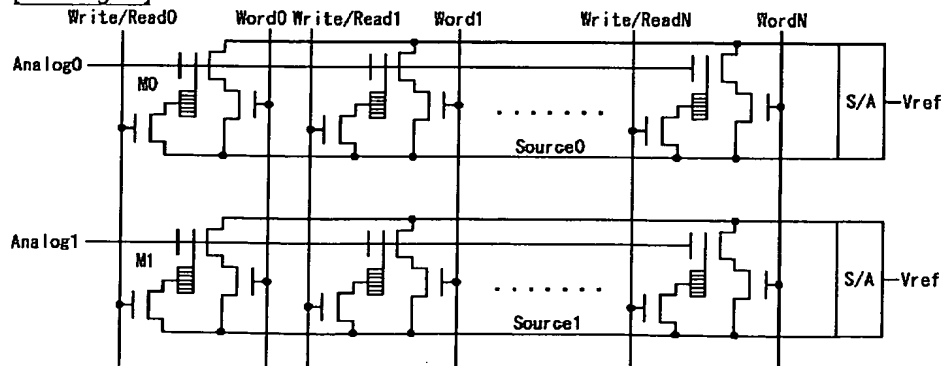
[Drawing 14]



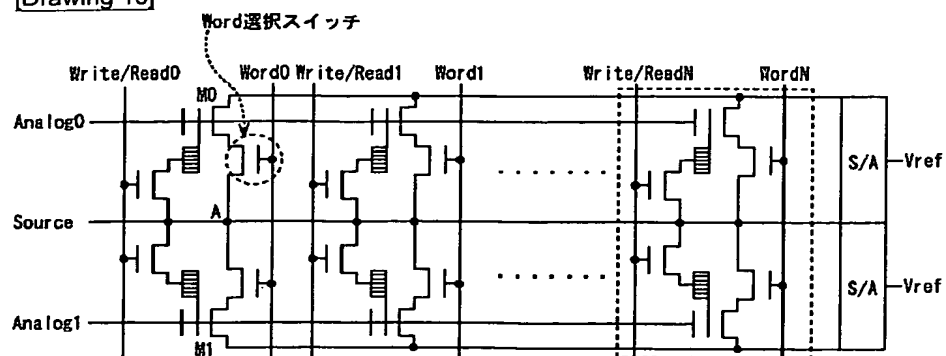
[Drawing 11]



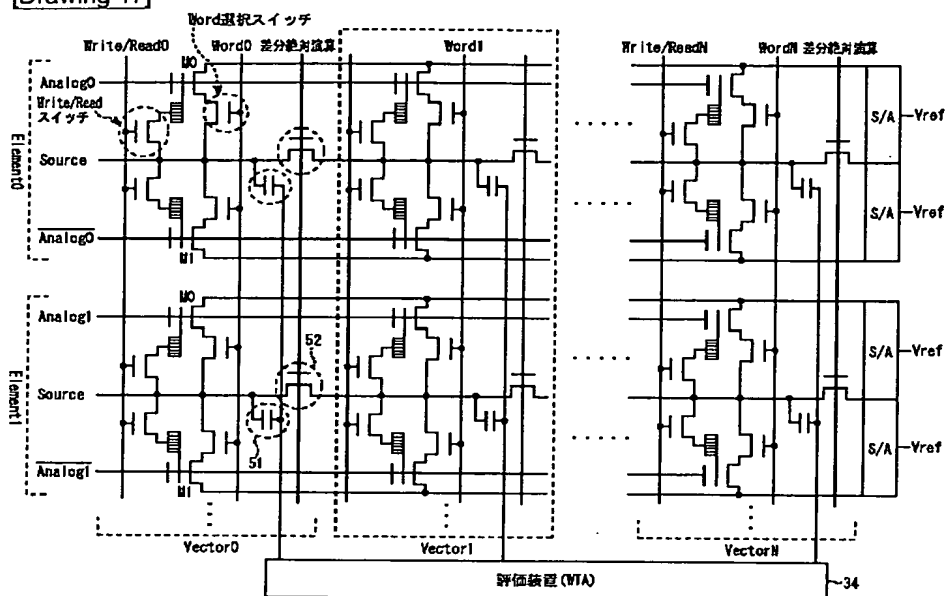
[Drawing 15]



[Drawing 16]



[Drawing 17]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-246487

(P2002-246487A)

(43)公開日 平成14年8月30日(2002.8.30)

(51)IntCl. ⁷	識別記号	F I	キーワード(参考)	
H 0 1 L 21/8247		G 1 1 C 11/22	5 0 3	5 B 0 2 5
29/788		H 0 1 L 29/78	3 7 1	5 F 0 8 3
29/792		G 1 1 C 17/00	6 2 1 Z	5 F 1 0 1
G 1 1 C 11/22	5 0 3		6 2 2 Z	
16/04			6 4 1	
審査請求 未請求 請求項の数20 O L (全 12 頁) 最終頁に続く				

(21)出願番号 特願2001-40489(P2001-40489)

(22)出願日 平成13年2月16日(2001.2.16)

(71)出願人 591022117

柴田 直

東京都江東区越中島1-3-16-411

(71)出願人 598158521

アイ・アンド・エフ株式会社

東京都文京区本郷4丁目1番4号 コスモ
ス本郷ビル

(72)発明者 小林 大輔

東京都文京区西片2-11-11-201

(72)発明者 柴田 直

東京都江東区越中島1-3-16-411

(74)代理人 100090273

弁理士 國分 孝悦

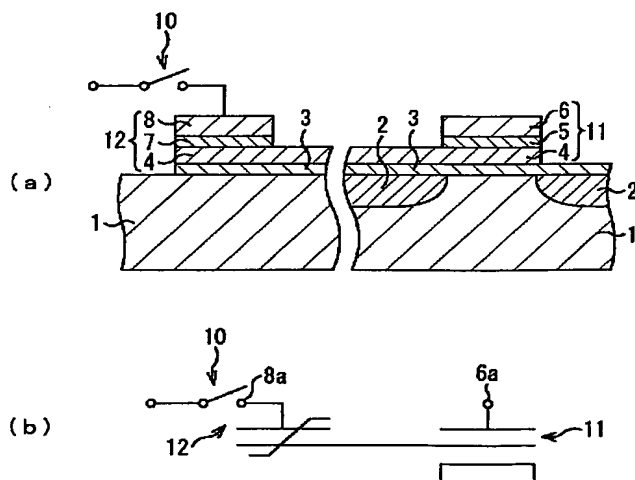
最終頁に続く

(54)【発明の名称】 半導体装置及び半導体演算装置

(57)【要約】

【課題】 記憶素子として十分な機能を有することに加え、分極ベクトルの変化を惹起することなく正確な差分(絶対)演算を実行することを可能とし、低消費電力で駆動するMFMI S F E T型の半導体装置及び半導体演算装置を提供する。

【解決手段】 本発明のMFMI S F E Tでは、コントロールゲート8に、当該コントロールゲート8と信号線9との間の接続をオン/オフするスイッチ10が配されている。コントロールゲート8に所定の電位を与えた状態で、スイッチ10をオフ状態とすることにより、コントロールゲート8は電気的にフローティング状態となり、その後にコントロールゲート6に印加される電圧の影響を受けることなく、電荷蓄積膜7の分極状態は変化しない。



【特許請求の範囲】

【請求項1】 ソース／ドレインと、

前記ソース／ドレインと第1の絶縁膜を介して設けられた電氣的にフローティング状態にある第1の電極と、
前記第1の電極の一部位上に設けられた強誘電体材料を含まない第2の絶縁膜と、
前記第2の絶縁膜を介して前記前記第1の電極の前記一部位と対向するように設けられた第2の電極と、
前記第1の電極の他部位上に設けられた強誘電体材料を含む少なくとも1層の膜を有する第3の絶縁膜と、
前記第3の絶縁膜を介して前記第1の電極の前記他部位と対向するように設けられた第3の電極と、
前記第3の電極と接続され、当該第3の電極と所定の信号線との間の接続をオン／オフする切替スイッチとを備えることを特徴とする半導体装置。

【請求項2】 前記第3の電極に所定の電位を与えた状態で、前記切替スイッチをオフ状態とすることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記切替スイッチをオフ状態とした後に、前記第2の電極に更に所定の電位を与えることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記第3の絶縁膜における分極状態を変更するに際して、前記切替スイッチをオン状態とするとともに、前記第2の電極及び前記第3の電極にそれぞれ所定の電位を与えることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 前記第2の電極及び前記第3の電極に与える前記所定の電位は、一方を接地電位、他方を正電位とすることを特徴とする請求項4に記載の半導体装置。

【請求項6】 前記第2の絶縁膜は高誘電体材料を含むことを特徴とする請求項1～5のいずれか1項に記載の半導体装置。

【請求項7】 前記第2の絶縁膜は前記第1の絶縁膜よりも大きな比誘電率を有することを特徴とする請求項1～6のいずれか1項に記載の半導体装置。

【請求項8】 複数の半導体装置をマトリクス状に配置して構成される半導体演算装置であって、

前記半導体装置は、ソース／ドレインと、

前記ソース／ドレインと第1の絶縁膜を介して設けられた電氣的にフローティング状態にある第1の電極と、
前記第1の電極の一部位上に設けられた強誘電体材料を含まない第2の絶縁膜と、

前記第2の絶縁膜を介して前記前記第1の電極の前記一部位と対向するように設けられた第2の電極と、

前記第1の電極の他部位上に設けられた強誘電体材料を含む少なくとも1層の膜を有する第3の絶縁膜と、

前記第3の絶縁膜を介して前記第1の電極の前記他部位と対向するように設けられた第3の電極と、

前記第3の電極と接続され、当該第3の電極と所定の信号線との間の接続をオン／オフする切替スイッチとを備

えることを特徴とする半導体装置。

【請求項9】 前記第3の電極に所定の電位を与えた状態で、前記切替スイッチをオフ状態とすることを特徴とする請求項8に記載の半導体演算装置。

【請求項10】 前記切替スイッチをオフ状態とした後に、前記第2の電極に更に所定の電位を与えることを特徴とする請求項9に記載の半導体演算装置。

【請求項11】 前記第3の絶縁膜における分極状態を変更するに際して、前記切替スイッチをオン状態とするとともに、前記第2の電極及び前記第3の電極にそれぞれ所定の電位を与えることを特徴とする請求項8～10のいずれか1項に記載の半導体演算装置。

【請求項12】 前記第2の電極及び前記第3の電極に与える前記所定の電位は、一方を接地電位、他方を正電位であることを特徴とする請求項11に記載の半導体演算装置。

【請求項13】 前記第2の絶縁膜は高誘電体材料を含むことを特徴とする請求項8～12のいずれか1項に記載の半導体演算装置。

【請求項14】 前記第2の絶縁膜は前記第1の絶縁膜よりも大きな比誘電率を有することを特徴とする請求項8～13のいずれか1項に記載の半導体演算装置。

【請求項15】 前記信号線が各行毎に共通とされることを特徴とする請求項8～14のいずれか1項に記載の半導体演算装置。

【請求項16】 前記信号線が各列毎に共通とされることを特徴とする請求項8～15のいずれか1項に記載の半導体演算装置。

【請求項17】 複数のベクトルをデータ群として保持しており、入力ベクトルに対応して、各ベクトル間の要素毎の差分値を算出することを特徴とする請求項16に記載の半導体演算装置。

【請求項18】 一対の前記半導体装置を並列接続し、各ベクトル間の要素毎の差分絶対値を算出することを特徴とする請求項17に記載の半導体演算装置。

【請求項19】 前記差分値に基づき、所定の条件を満たすベクトルを前記データ群中から選別することを特徴とする請求項17又は18に記載の半導体演算装置。

【請求項20】 マトリクス状に配置された複数の前記半導体装置のうち、各列が前記データ群を構成する各ベクトルに対応し、各行が前記ベクトルの各要素に対応することを特徴とする請求項17～19のいずれか1項に記載の半導体演算装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、いわゆるMFMI SFE T型の半導体装置、及びこの半導体装置を複数個配してなり、所定の演算処理を実行する半導体演算装置に関する。

【0002】

【従来の技術】近時では、いわゆるフローティングゲート構造を有し、誘電体膜に強誘電体材料を用いた強誘電体メモリ(Metal-Ferroelectric-Metal-Insulator-Semiconductor FET(MFMISFET))の研究が活発になっている。このMFMISFETは、誘電体膜に常誘電体材料を用いたEEPROMのように高電圧を用いることなく、情報の書き込み・消去が可能であり、消費電力の大幅な低減化を実現できる半導体メモリとして期待されている。

【0003】ところで、複数の要素からなる1つの入力データに対して、これと所定の関係、例えば当該入力データに最も近いデータをテンプレートの中から選択して出力するアナログ・デジタル融合処理をデバイスレベルで実行する半導体演算装置が本発明者らにより提案されている。

【0004】この半導体演算装置の一態様としては、入力ベクトルに対応して、各ベクトル間の要素毎の差分値を算出し、当該差分値に基づき、所定の条件を満たすベクトル、例えば差分絶対値の和(マンハッタン距離)が最も小さいベクトルをデータ群中から選別するものがある。

【0005】このような半導体演算装置を実現するには、複数のEEPROMをマトリクス状に配置し、フローティングゲート電位を読み出すことを考慮して各EEPROMについてソースフォロワを構成する。具体的には、i番目のEEPROMにテンプレートベクトルTの要素 T_i を記憶しておき、引き続いて当該EEPROMにあるアナログ信号 X_i を印加する。このとき、当該EEPROMのフローティングゲート電位は($T_i - X_i$)に比例した値(正確には、当該値に一定電位を加えた値)となり、差分演算が実現する。この意味で各EEPROMは、単なる記憶素子ではなく「プロセッサ」として機能する。

【0006】

【発明が解決しようとする課題】上述したように、MFMISFETは低消費電力化を実現できる半導体素子であるため、このMFMISFETをEEPROMに替わって用いて上記の半導体演算装置を構成することが考えられる。

【0007】しかしながら、MFMISFETは、単に記憶素子として用いるには、読み出し電位を分極ベクトルが変化しない所定の適切な電位に固定できるが、差分演算を実行するには、上述のようにフローティングゲートに所定電位 T_i を与えた状態で更にアナログ信号 X_i を入力するため、この入力 X_i により分極ベクトルが変化してしまい正確な差分演算ができないという問題がある。

【0008】そこで本発明は、前記課題を解決するためになされたものであり、記憶素子として十分な機能を有することに加え、分極ベクトルの変化を惹起することな

く正確な差分(絶対)演算を実行することを可能とし、低消費電力で駆動するMFMISFET型の半導体装置、及びこの半導体装置を複数配してなり、アナログ・デジタル融合処理をデバイスレベルで実行する半導体演算装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明者らは、鋭意検討の結果、以下に示す発明の諸態様に想到した。

【0010】本発明の半導体装置は、ソース/ドレインと、前記ソース/ドレインと第1の絶縁膜を介して設けられた電氣的にフローティング状態にある第1の電極と、前記第1の電極の一部位上に設けられた強誘電体材料を含まない第2の絶縁膜と、前記第2の絶縁膜を介して前記前記第1の電極の前記一部位と対向するように設けられた第2の電極と、前記第1の電極の他部位上に設けられた強誘電体材料を含む少なくとも1層の膜を有する第3の絶縁膜と、前記第3の絶縁膜を介して前記第1の電極の前記他部位と対向するように設けられた第3の電極と、前記第3の電極と接続され、当該第3の電極と所定の信号線との間の接続をオン/オフする切替スイッチとを備えることを特徴とする。

【0011】本発明の半導体装置の一態様では、前記第3の電極に所定の電位を与えた状態で、前記切替スイッチをオフ状態とする。

【0012】本発明の半導体装置の一態様では、前記切替スイッチをオフ状態とした後に、前記第2の電極に更に所定の電位を与える。

【0013】本発明の半導体装置の一態様では、前記第3の絶縁膜における分極状態を変更するに際して、前記切替スイッチをオン状態とするとともに、前記第2の電極及び前記第3の電極にそれぞれ所定の電位を与える。

【0014】本発明の半導体装置の一態様では、前記第2の電極及び前記第3の電極に与える前記所定の電位は、一方を接地電位、他方を正電位とする。

【0015】本発明の半導体装置の一態様では、前記第2の絶縁膜は高誘電体材料を含む。

【0016】本発明の半導体装置の一態様では、前記第2の絶縁膜は前記第1の絶縁膜よりも大きな比誘電率を有する。

【0017】本発明の半導体演算装置は、複数の半導体装置をマトリクス状に配置して構成されるものである。前記半導体装置は、ソース/ドレインと、前記ソース/ドレインと第1の絶縁膜を介して設けられた電氣的にフローティング状態にある第1の電極と、前記第1の電極の一部位上に設けられた強誘電体材料を含まない第2の絶縁膜と、前記第2の絶縁膜を介して前記前記第1の電極の前記一部位と対向するように設けられた第2の電極と、前記第1の電極の他部位上に設けられた強誘電体材料を含む少なくとも1層の膜を有する第3の絶縁膜と、前記第3の絶縁膜を介して前記第1の電極の前記他部位

と対向するように設けられた第3の電極と、前記第3の電極と接続され、当該第3の電極と所定の信号線との間の接続をオン／オフする切替スイッチとを備えることを特徴とする。

【0018】本発明の半導体演算装置の一態様では、前記第3の電極に所定の電位を与えた状態で、前記切替スイッチをオフ状態とする。

【0019】本発明の半導体演算装置の一態様では、前記切替スイッチをオフ状態とした後に、前記第2の電極に更に所定の電位を与える。

【0020】本発明の半導体演算装置の一態様では、前記第3の絶縁膜における分極状態を変更するに際して、前記切替スイッチをオン状態とするとともに、前記第2の電極及び前記第3の電極にそれぞれ所定の電位を与える。

【0021】本発明の半導体演算装置の一態様では、前記第2の電極及び前記第3の電極に与える前記所定の電位は、一方を接地電位、他方を正電位である。

【0022】本発明の半導体演算装置の一態様では、前記第2の絶縁膜は高誘電体材料を含む。

【0023】本発明の半導体演算装置の一態様では、前記第2の絶縁膜は前記第1の絶縁膜よりも大きな比誘電率を有する。

【0024】本発明の半導体演算装置の一態様では、前記信号線が各行毎に共通とされる。

【0025】本発明の半導体演算装置の一態様では、前記信号線が各列毎に共通とされる。

【0026】本発明の半導体演算装置の一態様では、複数のベクトルをデータ群として保持しており、入力ベクトルに対応して、各ベクトル間の要素毎の差分値を算出する。

【0027】本発明の半導体演算装置の一態様では、一対の前記半導体装置を並列接続し、各ベクトル間の要素毎の差分絶対値を算出する。

【0028】本発明の半導体演算装置の一態様では、前記差分値に基づき、所定の条件を満たすベクトルを前記データ群中から選別する。

【0029】本発明の半導体演算装置の一態様では、マトリクス状に配置された複数の前記半導体装置のうち、各列が前記データ群を構成する各ベクトルに対応し、各行が前記ベクトルの各要素に対応する。

【0030】

【発明の実施の形態】以下、本発明を適用した好適な諸実施形態について、図面を参照しながら詳細に説明する。

【0031】（第1の実施形態）本実施形態では、MFMISFET型の半導体装置について開示する。図1は、本実施形態のMFMISFETの主要構成を示す模式図であり、(a)がMFMISFETの要部概略断面図、(b)がMFMISFETの回路図である。

10

20

30

40

50

【0032】このMFMISFETは、シリコン半導体基板1の素子領域にイオン注入等の手法で基板1と反対導電型の不純物（基板1がp型であればn型不純物であるリン、砒素等であり、基板がn型であればp型不純物であるホウ素等）が導入されてなるソース／ドレイン2を備え、基板1上にキャパシタ及び電圧印加電極の機能を有する積層構造が配されて構成される。

【0033】前記積層構造は、基板1のソース／ドレイン2により構成されるチャネル上にゲート絶縁膜3を介してパターン形成されてなり、電氣的にフローティング状態にある島状のフローティングゲート電極4と、フローティングゲート電極4の一部位上で強誘電体材料を含まない誘電体材料からなる第1の電荷蓄積膜5と、フローティングゲート電極4の前記一部位上に第1の電荷蓄積膜5を介してパターン形成され、フローティングゲート電極4と容量結合する第1のコントロールゲート電極6と、フローティングゲート電極4の他部位上に形成されてなる強誘電体材料からなる第2の電荷蓄積膜7と、フローティングゲート電極4の前記他部位上に第2の電荷蓄積膜7を介してパターン形成され、フローティングゲート電極4と容量結合する第2のコントロールゲート電極8とを有して構成される。このように、フローティングゲート電極4（の一部位）、第1の電荷蓄積膜5、及び第1のコントロールゲート電極6からキャパシタ11が、フローティングゲート電極4（の他部位）、第2の電荷蓄積膜7、及び第2のコントロールゲート電極8からキャパシタ12がそれぞれ構成される。

【0034】ここで、情報の書き込み（消去）時に、強誘電体である第2の電荷蓄積膜7に有効に電圧を印加することを考慮して、キャパシタ11の電気容量をキャパシタ12のそれに比べてある程度大きくする必要がある。具体的に、強誘電体の比誘電率は500～1000程度であるので、キャパシタ11の第1の電荷蓄積膜5をSiO₂等で形成すると、キャパシタ面積が大きくなってしまふ。そこで、第1の電荷蓄積膜5をSiO₂等の絶縁材料より比誘電率の高い高誘電体材料から形成することが好ましい。

【0035】更にこのMFMISFETでは、第2のコントロールゲート電極8に、当該第2のコントロールゲート電極8と信号線9との間の接続をオン／オフする切替スイッチ10が配されている。第2のコントロールゲート電極8に所定の電位を与えた状態で、切替スイッチ10をオフ状態とすることにより、コントロールゲート電極8（の入力端子8a）は電氣的にフローティング状態となり、その後第1のコントロールゲート電極6（の入力端子6a）に印加される電圧の影響を受けることなく、第2の電荷蓄積膜7の分極状態は変化しない。

【0036】第2の電荷蓄積膜7の分極状態を変更するには、切替スイッチ10をオン状態とし、入力端子6aにV₁を、入力端子8aにV₂を印加する。書き込みと消

去を実行することを考慮すれば、第2の電荷蓄積膜7の分極状態には「増加」、「減少」の両方が可能であり、一方を書き込みに、他方を消去に対応させればよい。具体的には、 V_1 、 V_2 の一方を正電位、他方を接地電位とすれば実現できる。このように本実施形態では、従来のMFMI S F E Tのように書き込み・消去のために負電圧を生成したり、S O Iの如き特別な技術を用いることなく、極めて容易に書き込み・消去を行うことができる。

【0037】ここで、図示の例では電荷蓄積膜7を一層の膜としたが、例えば図2のように、1層の強誘電体膜21と、これを挟むように常強誘電体膜22、23を積層して第2の電荷蓄積膜7を構成してもよい。

【0038】また、諸般の事情に照らして、フローティングゲート電極4の一部位、第1の電荷蓄積膜5、及び第1のコントロールゲート電極6からキャパシタ11や、フローティングゲート電極4の他部位、電荷蓄積膜7、及び第2のコントロールゲート電極8からなるキャパシタ12を複数設けるようにしても好適である。

【0039】本実施形態のMFMI S F E Tは、主に差分演算素子として用いられる。以下、差分演算素子としての動作機能について説明する。概説すれば、切替スイッチ10をオン状態として所定の電圧を印加することで、第2の電荷蓄積膜7の分極状態を変化させる。その際、切替スイッチ10をオフ状態として第1のコントロールゲート電極6の入力端子6aに所定電圧Vを印加したときにフローティングゲート電位がある一定の値となるように分極状態を変化させる。引き続いて、切替スイッチ10をオフ状態として所定のアナログ信号である入力 V_x を印加すれば、当該MFMI S F E Tのフローティングゲート電位は $(V - V_x)$ に比例した値（正確には、当該値に一定電位を加えた値）となり、差分演算が実現する。このとき、第2のコントロールゲート電極8（の入力端子8a）は電氣的にフローティング状態であるためにアナログ信号 V_x の印加による影響を受けることなく第2の電荷蓄積膜7の分極状態は不変である。

【0040】なお、V、 V_x を印加する際に、これらと共に一定のバイアスを印加してもよい。このバイアスは、前記差分演算時に打ち消され、出力には影響しない。

【0041】具体的には、本実施形態のMFMI S F E Tは以下のような差分演算素子として構成される。本例では、フローティングゲート電極4に蓄積する電荷量の調整に、いわゆる V_{ref} 方式を採用する。この V_{ref} 方式とは、記憶したい値に対応する記憶電圧 V_{mem} を入力端子6aに印加して読み出した場合、フローティングゲート電位 ϕ_{fg} がある適当な電位 V_{ref} となるように、第2の電荷蓄積膜7の分極状態を調整する手法である。

【0042】このMFMI S F E Tは、記憶情報の読み出しのため、図3に示すように、ソース又はドレインに

負荷回路24を接続し、負荷回路24の一端を接地してなるソースフォロワを構成する。但し、図示の例ではn型MOSトランジスタ構成のものを示す。

【0043】記憶電圧 V_{mem} を書き込んだこのMFMI S F E Tでは、入力端子6aに新たな入力電圧 V_x を印加すると、フローティングゲート電位 ϕ_{fg} は、 γ を比例定数として、

$$\phi_{fg} = \gamma (V - V_{ref}) + V_{ref}$$

となる。従って、記憶電圧と入力電圧との差分がフローティングゲート電位として現れる。このフローティングゲート電位は、例えばMOSトランジスタが飽和領域として動作するような環境に設定すれば、ドレインソース電流として読み出すことができる。

【0044】ところで、このMFMI S F E Tでは、 $V_x - V_{mem} < 0$

となると、読み出しが不能となるため、これを回避することを考慮して図4に示すような構成を採用する。即ち、書き込み時には、図4(a)に示すように、入力端子6aに $(V_{DD} - V_{mem})$ を印加し、

$$\phi_{fg} = V_{ref}$$

となるように第2の電荷蓄積膜7の分極状態を変化させる。

【0045】一方、読み出し時には、図4(b)に示すように、入力端子6aに $(V_{DD} - V_x)$ を印加する。

【0046】なおこの場合でも、なお、 $(V_{DD} - V_{mem})$ 、 $(V_{DD} - V_x)$ を印加する際に、これらと共に一定のバイアスを印加してもよい。このバイアスは、前記差分演算時に打ち消され、出力には影響しない。

【0047】更に本例では、図5に示すように、上記のMFMI S F E Tを2つ組み合わせ、差分絶対値の演算回路を構成する。この差分絶対値演算回路は、2つのMFMI S F E Tを並列に接続し、上述と同様に記憶情報の読み出しのため、ソース又はドレインに負荷回路24を接続し、負荷回路24の一端を接地してなるソースフォロワを構成する。

【0048】差分絶対値演算を実行するには、先ず、一方のMFMI S F E T31には V_{mem} を、他方のMFMI S F E T32には $(V_{DD} - V_{mem})$ を記憶する。そして、MFMI S F E T31には V_x を、MFMI S F E T32には $(V_{DD} - V_x)$ を印加することにより、出力電圧 V_{out} は、 γ を比例定数、 V_T をしきい値電圧として、

$$V_{out} = \gamma |V_x - V_{mem}| + V_{ref} - V_T$$

となり、実質的に見れば差分絶対値 $|V_x - V_{mem}|$ を得ることができる。

【0049】以上、本発明のMFMI S F E Tを差分演算素子として用いる実施態様について例示したが、このMFMI S F E Tを通常の記憶素子として用いることもできる。この場合でも、従来のように読み出し電位を分極ベクトルが変化しない所定の適切な電位に固定する必

要がない。

【0050】本発明により、従来のMFMISFETの持つ読み出し電位の制約がなくなり、読み出し動作時にはEEPROM同様の動作ができる。従って、MOSトランジスタの閾値調整に用いることに極めて有効である。例えば、対称性が必要とされるオペアンプのトリミングに用いることでオペアンプの性能を格段に上げることが可能となる。

【0051】更に、図6に示すように、本発明を適用してニューロンMOSインバータを構成すれば、図7のよう

に、強誘電体膜の分極状態によってNAND回路とNOR回路を切り分けることができる。このニューロンMOSインバータでは、強誘電体膜の入力がフローティングになっているため、フローティングゲートのゲインが従来よりも向上するという利点を持つ。いずれの場合においても、EEPROMよりも低消費電力で書き込むことができ、更に、高速に書き込むことができるという利点も持つ。

【0052】従って、実時間で論理機能を任意に切り替えられるフレキシビリティの高い論理回路システムを容易に構成することができる等、極めて広い応用分野への適用が期待できる。

【0053】以上説明したように、本実施形態によれば、記憶素子として十分な機能を有することに加え、分極ベクトルの変化を惹起することなく正確な差分（絶対）演算を実行することを可能とし、低消費電力で駆動するMFMISFETが実現する。

【0054】（第2の実施形態）本実施形態では、第1の実施形態で開示したMFMISFETを複数個マトリクス状に配置してなる半導体演算装置を開示する。この半導体演算装置は、入力ベクトルに対応して、各ベクトル間の要素毎の差分値を算出し、当該差分値に基づき、所定の条件を満たすベクトル、ここでは差分絶対値の和（マンハッタン距離）が最も小さいベクトルをデータ群中から選別する機能を有するものである。

【0055】図8は、本実施形態の半導体演算装置の主要構成を示す等価回路図である。この半導体演算装置は、図5に示した一対のMFMISFET31, 32にキャパシタ33が接続されたものを一構成単位とし、当該構成単位を各行毎の入力端子を共通として複数個マトリクス状に配置してなり、当該マトリクスに評価回路34が接続されて構成されている。

【0056】ここでは、各列毎に異なるテンプレート・ベクトル

【0057】

【数1】

$$\pi = \begin{pmatrix} T_1 \\ T_2 \\ \vdots \\ T_n \end{pmatrix}$$

$$U = \begin{pmatrix} U_1 \\ U_2 \\ \vdots \\ U_n \end{pmatrix}$$

$$\vdots$$

【0058】に相当する記憶電圧が記憶されている。ここで、第1列に着目し、i行1列における一対のMFMISFET31, 32に T_i を記憶し、入力を V_i 、出力電圧を a_{outi} とすると、

【0059】

【数2】

$$a_{outi} = \gamma |V_i - T_i| + V_{ref}$$

【0060】となり、これらの出力電圧を所定の加算器に入力することで、

【0061】

【数3】

$$a_{out1} + a_{out2} + \dots$$

$$\propto |V_1 - T_1| + |V_2 - T_2| + \dots$$

$$= \sum_i |V_i - T_i|$$

【0062】が得られる。ここで、 $\{V_i\}$ は、入力ベクトルを構成する。

【0063】このように、各々の一対のMFMISFETが入力ベクトルとテンプレート・ベクトルの各要素（エレメント）間における差分絶対値を出力する回路となり、前記各列が入力ベクトルとテンプレート・ベクトルのマンハッタン距離を出力する回路となる。

【0064】前記加算器の一具体例を図9に示す。この加算器は、下部電極を共通とし、この下部電極に対して各上部電極を対向させてなり、従って各々並列接続されてなるキャパシタ C_1, C_2, \dots, C_n と、これらと直列接続されてなるキャパシタ C_0 とを有して構成されている。前記下部電極をフローティングゲート電極とするMOSトランジスタ構造とすれば、その機能がニューロンの数学モデルに類似する、いわゆるニューロンMOSトランジスタとなる。

【0065】ここで、前記下部電極の電位 V_{tot} は、予め電荷 Q が蓄積されていたとして、

【0066】

【数4】

$$V_{tot} = \frac{1}{\sum_i C_i} (Q + C_1 V_{out1} + C_2 V_{out2} + \dots)$$

【0067】となる。この場合、ソースフォロワを構成するための負荷素子をキャパシタ C_1, C_2, \dots, C

とし、

$C_1 = C_2 = \dots = C_n = C$ (キャパシタ33の電気容量)

とする。ここで、 C_1, C_2, \dots, C_n を異なる値とし、エレメント毎に重み付けしたマンハッタン距離を算出するようにしてもよい。

【0068】そして、各列からの出力 $V_{out1}, V_{out2}, \dots$ は、

【0069】

【数5】

$$\begin{aligned} V_{out1} &\propto \sum_i |V_i - T_i| \\ V_{out2} &\propto \sum_i |V_i - U_i| \\ &\vdots \end{aligned}$$

【0070】となり、これらの出力がいわゆるウィナー・テイク・オール(WTA)回路である評価回路34に inputsし、所定の条件を満たすベクトル、ここではマンハッタン距離が最も小さいベクトルがデータ群中から選別される。

【0071】以上説明したように、本実施形態によれば、記憶素子として十分な機能を有することに加え、分極ベクトルの変化を惹起することなく正確な差分(絶対値)演算を実行することを可能とし、低消費電力で駆動する第1の実施形態で開示したMFMSFETを用いて差分絶対値演算装置を構成し、アナログ・デジタル融合処理をデバイスレベルで実行可能として、実世界における膨大且つ曖昧な要求に可及的に応えることが可能となる。

【0072】(第3の実施形態)本実施形態では、第1の実施形態で開示したMFMSFETを複数個マトリクス状に配置してなる半導体記憶装置を開示する。

【0073】図10は、本実施形態の半導体記憶装置の主要構成を示す等価回路図である。この半導体記憶装置は、図1に示したMFMSFETを複数個マトリクス状に配置してなるものであり、行方向のソース線及びドレイン線を共通とし、各行毎にセンスアンプ41が接続されており、各MFMSFETにはセンスアンプ41への接続を選択するMOSトランジスタからなるスイッチ42が接続されている。スイッチ42は、列方向に共通の信号線(ワード線)で接続されている。また、列方向のソース線及びドレイン線を共通とし、各列毎にセンスアンプ41を接続する構成としてもよい。

【0074】このように、各行毎にセンスアンプ41を用意することにより、行並列の書き込み/読み出しが可能であり、更にプログラム線とアナログ線のいずれに電圧を印加するかによって第2の電荷蓄積膜7に印加される電界の向きを変えることができることから、必ずしも消去動作を必要としない。

【0075】本例の半導体記憶装置を用いた情報の書き

込み方法について、図11に示す読み出しフローを参照して説明する。ここでは、図10の1行1列及び2行1列のMFMSFET(M0, M1とする)に V_0, V_1 を書き込む場合について例示する。

【0076】まず、Word(ワード)0を“1”にしてスイッチ42をオンとし、M0, M1をそれぞれセンスアンプ41に接続した後、Write/Read(リード/ライト)0を“0”にしてスイッチ42をオフとする。このとき、他のWrite/Readも“0”とする。

【0077】以下の各ステップは、各行毎に平行に実行される。1行についてはAnalog(アナログ)0に V_0 を、2行についてはAnalog1に V_1 をそれぞれ印加し、フローティングゲート電位 ϕ_{FG} が参照電圧 V_{ref} と等しくなければ、1行についてはWrite/Read0を“1”にして切替スイッチ10をオンとし、2行についてはWrite/Read0を“1”にして切替スイッチ10をオンとして、1行には表Aの入力を、2行には表Bの入力をそれぞれ印加する。ここで、各Write/Readを“1”とするステップは同期している。

【0078】続いて、Write/Read0を“0”にして切替スイッチ10をオフとし、2行についてはWrite/Read0を“0”にして切替スイッチ10をオフとして、1行ではAnalog0に V_0 を、2行ではAnalog1に V_1 を印加する。

【0079】フローティングゲート電位 ϕ_{FG} が参照電圧 V_{ref} と等しい場合には、1行についてはProgram(プログラム)0及びAnalog0を接地電位とし、2行についてはProgram1及びAnalog1を接地電位として、M0, M1の書き込みを終了する。

【0080】以上のステップを経て、全てのメモリセルに書き込めたならば、書き込み動作を終了する。

【0081】ここで、切替スイッチ10がオン状態でも、Analog線及びProgram線が共に接地電位とされていれば、新たな書き込みは起こらない。

【0082】次に、本例の半導体記憶装置を用いた情報の読み出し方法について説明する。まず、全てのWrite/Read線を“0”としておき、読み出し対象であるメモリセルに対応したWord線を“1”として、センスアンプ41に接続する。

【0083】続いて、Analog線にランプ電圧を印加しておき、センスアンプ41の出力が反転するときの値をサンプル・ホールド等により得る。この値が書き込まれた値である。

【0084】具体的に、ランプ電圧を用いて読み出す際には、図12に示すように、にランプ電圧を印加してゆくと、それに追従してフローティングゲート電位 ϕ_{FG} も上昇し、続いて、 ϕ_{FG} が参照電圧 V_{ref} となったときの

ランプ電圧が記憶させた V_{m} となる。

【0085】ここで、ランプ電圧を用いず、バイナリ・サーチの要領で Analog 線に信号を加えれば、その信号を加えた回数のビット精度で読み出しが可能となる。具体的に、例えば3ビットの精度で考えた場合、図13に示すように、先ず“100”(= $1/2 V_{\text{m}}$)で判定する。このとき、 $\phi_{\text{FC}} < V_{\text{ref}}$ であるので、“110”(= $3/4 V_{\text{m}}$)で次の判定を行う。今度は $\phi_{\text{FC}} > V_{\text{ref}}$ であるので、“101”(= $5/8 V_{\text{m}}$)が3ビットの精度で読み出した値となる。

【0086】図10の半導体記憶装置において、書き込みに先立って消去動作を実行するようにすれば、書き込み時に Program 線を接地電位とすることができ

る。
【0087】また、センスアンプ41を、図14に示すように、 Word 線を選択するスイッチ42と対になるトランジスタ43を設けた構成とすることにより、メモリセルの Source (ソース)線を接地電位とすることができる。これにより、図15に示すように、 Program 線と Source 線を各行毎に共通とする構成が可能となる。更に、図16に示すように、2行の Source 線を共通とすることもできる。

【0088】図15又は図16に示す構成の半導体記憶装置における情報の消去方法について説明する。先ず、 Analog 線及び Word 線を全て接地電位とし、消去対象となるメモリセルに相当する Write/Read 線を“1”として、切替スイッチ10をオンとする。ここで、複数の Write/Read 線を“1”とすれば、 Source 線を共通とする複数のメモリセルの情報が消去される。

【0089】そして、消去対象となるメモリセルに相当する Source 線に $V_{\text{erase}} (> 0)$ を印加する。このとき、他の Source 線を接地電位としておく。ここで、複数の Source 線に $V_{\text{erase}} (> 0)$ を印加すれば、 Write/Read 線を共通とする複数のメモリセルの情報が消去される。

【0090】上記のように、 Write/Read 線、 Source 線を選択如何により、2次元的に複数のメモリセルの情報を消去することができる。更には、行方向及び列方向における全てのメモリセルの情報を一括消去することも可能である。

【0091】以上説明したように、本実施形態によれば、 MFMISFET を用いて半導体記憶装置を構成することで、簡易且つ確実な書き込み(消去)・読み出し動作を低消費電力で行うことが可能となる。

【0092】なお、本実施形態の半導体記憶装置、例えば図16に示す半導体記憶装置において、図17のように、隣接する一対の MFMISFET (ここでは隣接する行で同一の列における一対の MFMISFET)に対してキャパシタ51及びスイッチ52を図示の如く接続

することにより、第1の実施形態における図1の差分絶対値演算装置と等価な回路が容易に実現する。

【0093】

【発明の効果】本発明によれば、記憶素子として十分な機能を有することに加え、分極ベクトルの変化を惹起することなく正確な差分(絶対)演算を実行することを可能とし、低消費電力で駆動する MFMISFET 型の半導体装置、及びこの半導体装置を複数配してなり、アナログ・ディジタル融合処理をデバイスレベルで実行する半導体演算装置を実現することができる。

【図面の簡単な説明】

【図1】第1の実施形態による MFMISFET の主要構成を示す模式図である。

【図2】図1における強誘電体材料からなる電荷蓄積膜の他の構成例を示す概略断面図である。

【図3】図1の MFMISFET を用いてソースフォロワを構成した一例を示す等価回路図である。

【図4】図1の MFMISFET に対する電圧印加の他の例を示す等価回路図である。

【図5】図1の MFMISFET を2つ組み合わせてなる差分絶対値の演算回路を示す等価回路図である。

【図6】本発明を適用してニューロン MOS インバータを構成した様子を示す等価回路図である。

【図7】本発明を適用したニューロン MOS インバータにより、 NAND 回路と NOR 回路を選択的に実現できることを説明するための図である。

【図8】第2の実施形態による半導体演算装置の主要構成を示す等価回路図である。

【図9】第2の実施形態による半導体演算装置の構成要素である加算器の一具体例を示す等価回路図である。

【図10】第3の実施形態による半導体記憶装置の主要構成を示す等価回路図である。

【図11】第3の実施形態による半導体記憶装置を用いた情報の書き込み方法を示すフロー図である。

【図12】ランプ電圧を用いて読み出すに際して、参照電圧 V_{ref} の時間依存性を示す特性図である。

【図13】バイナリ・サーチの要領で読み出すに際して、参照電圧 V_{ref} の時間依存性を示す特性図である。

【図14】センスアンプの他の構成例を示す等価回路図である。

【図15】 Program 線と Source 線を各行毎に共通とする一例を示す一部等価回路図である。

【図16】2行の Source 線を共通とする一例を示す等価回路図である。

【図17】図16の等価回路を変形して、第1の実施形態における図1の差分絶対値演算装置と等価な回路を構成する様子を示す等価回路図である。

【符号の説明】

- 1 シリコン半導体基板
- 2 ソース/ドレイン

10

20

30

40

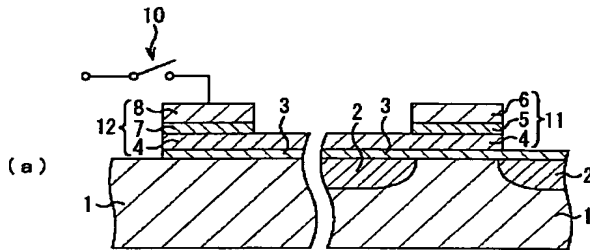
50

- 3 ゲート絶縁膜
 4 フローティングゲート電極
 5 第1の電荷蓄積膜
 6 第1のコントロールゲート電極
 6a, 8a 入力端子
 7 第2の電荷蓄積膜
 8 第2のコントロールゲート電極
 10 切替スイッチ
 11, 12, 33, 51 キャパシタ

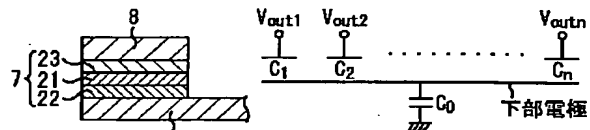
- * 21 強誘電体膜
 22, 23 常強誘電体膜
 24 負荷回路
 31, 32 MFMISFET
 34 評価回路
 41 センスアンプ
 42, 52 スイッチ
 43 トランジスタ

*

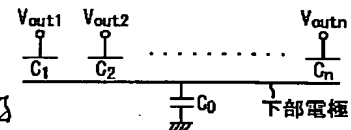
【図1】



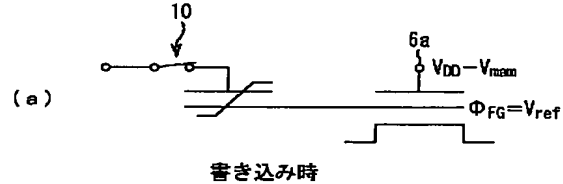
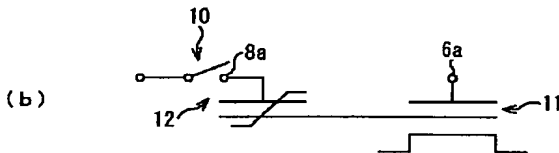
【図2】



【図9】

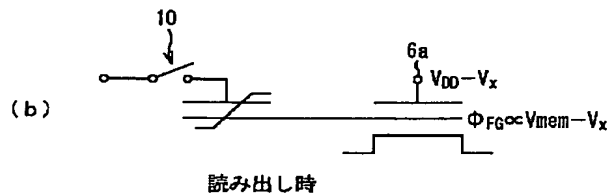
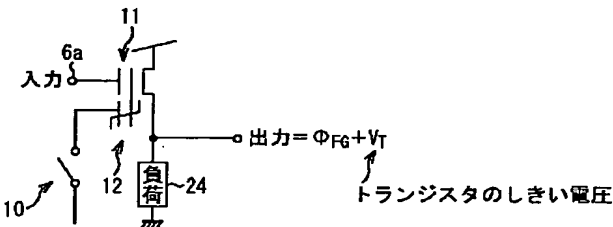


【図4】



書き込み時

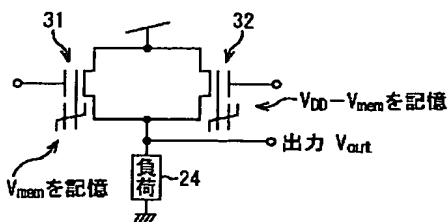
【図3】



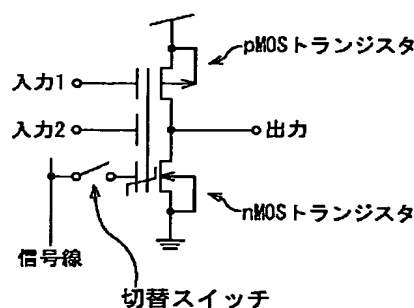
読み出し時

【図7】

【図5】



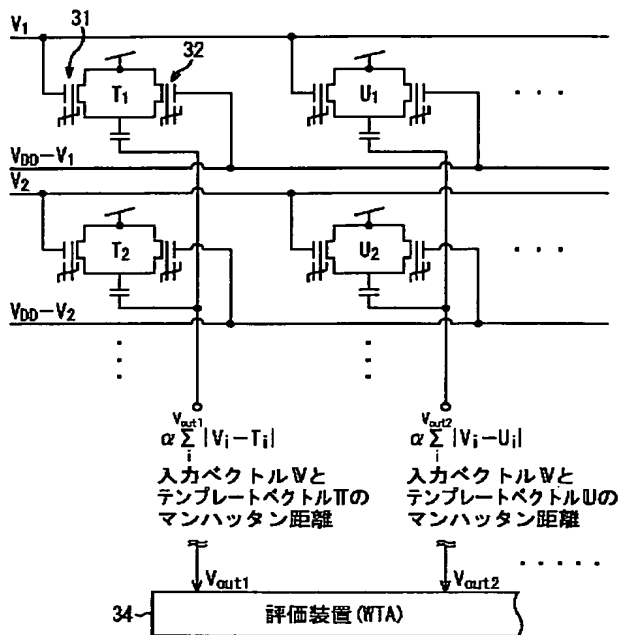
【図6】



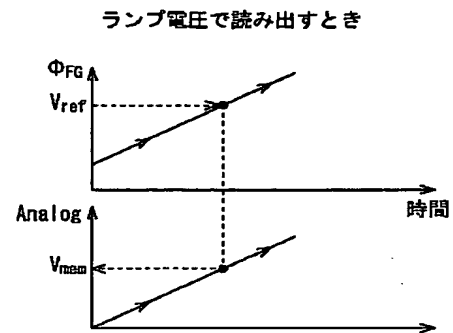
入力1	入力2	
"0"	"0"	
"0"	"1"	ここで出力が反転するように分極を調整すれば NOR回路
"1"	"0"	
"1"	"1"	ここで出力が反転するように分極を調整すれば NAND回路

"0" は GND 電位
 "1" は VDD に相当

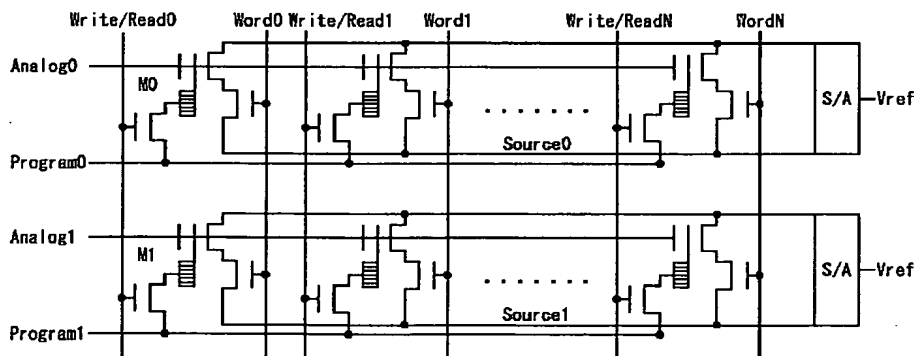
【図8】



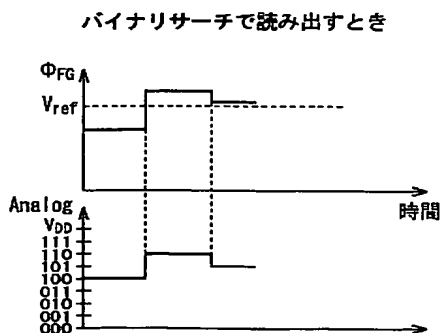
【図12】



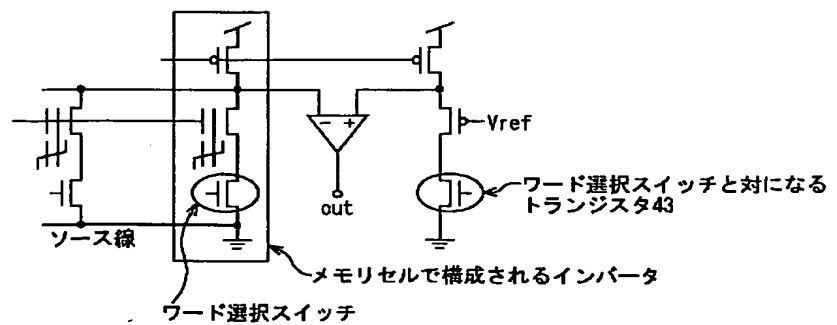
【図10】



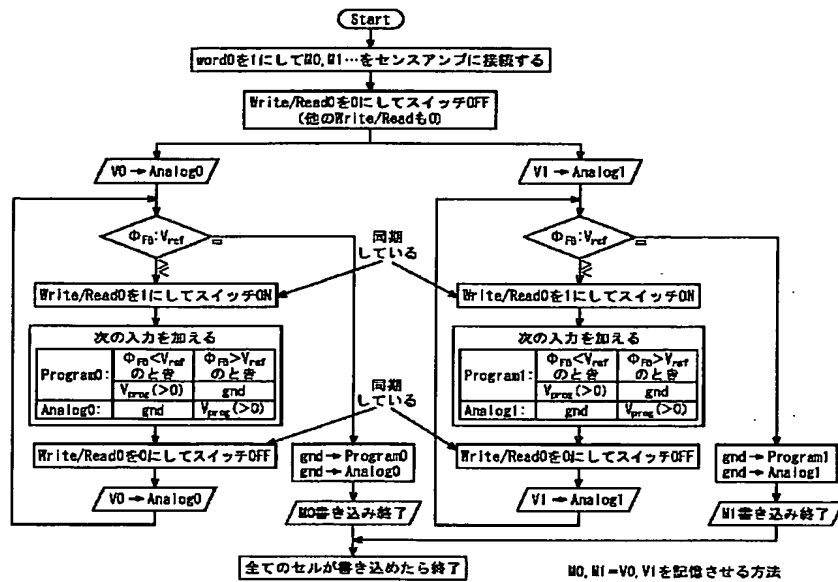
【図13】



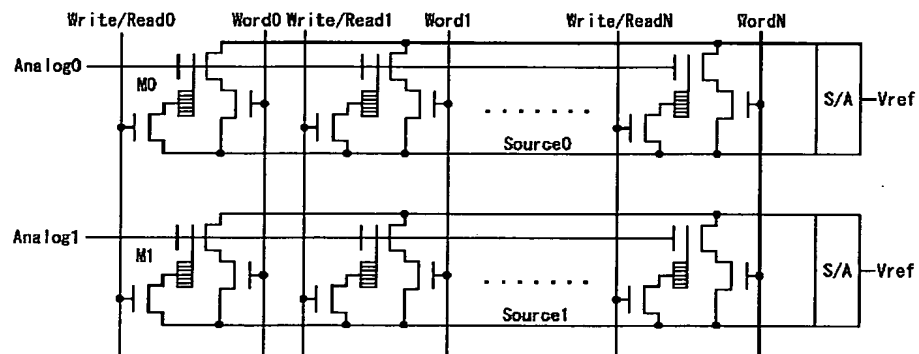
【図14】



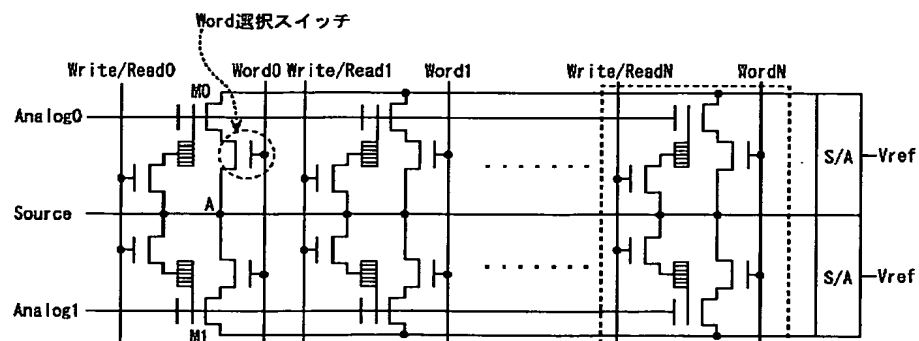
【図11】



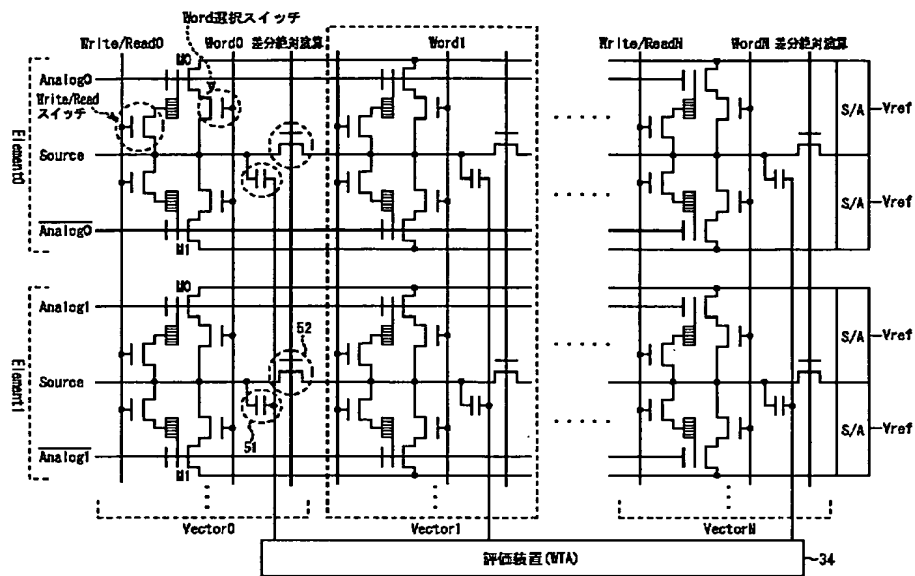
【図15】



【図16】



【図17】



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

テーマコード(参考)

G 1 1 C 16/02

H 0 1 L 27/10

4 4 4 A

H 0 1 L 27/105

F ターム(参考) 5B025 AA02 AA07 AC02 AE06
5F083 EP03 EP22 FR07 GA05
5F101 BA02 BA12 BA62 BB02 BD20
BD33